

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 1 月 1 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 3 2 0 4 7 6
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 3 2 0 4 7 6]

出 願 人 ロ ー ム 株 式 会 社
Applicant(s):

2 0 0 3 年 8 月 1 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 02-00018

【提出日】 平成14年11月 1日

【あて先】 特許庁長官殿

【国際特許分類】 H03K 5/13

【発明の名称】 記録パルス発生装置

【請求項の数】 5

【発明者】

 【住所又は居所】 京都市右京区西院溝崎町 2 1 番地ローム株式会社内

 【氏名】 岡田 功

【発明者】

 【住所又は居所】 京都市右京区西院溝崎町 2 1 番地ローム株式会社内

 【氏名】 平吹 齋

【発明者】

 【住所又は居所】 京都市右京区西院溝崎町 2 1 番地ローム株式会社内

 【氏名】 小谷 徳幸

【特許出願人】

 【識別番号】 000116024

 【氏名又は名称】 ローム株式会社

 【代表者】 佐藤 研一郎

【代理人】

 【識別番号】 100110319

 【弁理士】

 【氏名又は名称】 根本 恵司

【選任した代理人】

 【識別番号】 100109977

 【弁理士】

 【氏名又は名称】 畑川 清泰

【選任した代理人】

【識別番号】 100106806

【弁理士】

【氏名又は名称】 三谷 浩

【手数料の表示】

【予納台帳番号】 066394

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0009874

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 記録パルス発生装置

【特許請求の範囲】

【請求項 1】 複数の回路素子を多段に従属接続して構成した第 1 の遅延素子回路と、該遅延素子回路の前記複数の回路素子の段数に応じて初段に入力するクロックとそれぞれ異なる位相差を持った複数のファインクロックを生成する手段と、生成した複数のファインクロックから任意のファインクロックを選択する手段と、選択されたファインクロックに基づき記録パルスを発生する記録パルス発生手段と、を備えたことを特徴とする記録パルス発生装置。

【請求項 2】 請求項 1 に記載された記録パルス発生装置において、
複数の回路素子を多段従属接続した発振回路を有しかつ前記初段のクロックと位相比較してこの位相比較結果に応じて電力供給ラインの電圧を制御する PLL ループ発振回路を備え、前記第 1 の遅延素子回路は前記発振回路と共通の電力供給ラインに接続されており、かつ、前記第 1 の遅延素子回路の回路素子は前記発振回路素子と等価であることを特徴とする記録パルス発生装置。

【請求項 3】 請求項 1 又は 2 に記載された記録パルス発生装置において、
前記第 1 の遅延素子回路の初段に入力するクロックは記録速度に応じて変化する EFM クロックであることを特徴とする記録パルス発生装置。

【請求項 4】 請求項 1 ないし 3 のいずれかに記載された記録パルス発生装置において、

前記クロック選択手段は前記ファインクロックと同位相でシフトとする選択信号で制御されるマルチプレクサであることを特徴とする記録パルス発生装置。

【請求項 5】 請求項 1 ないし 4 のいずれかに記載された記録パルス発生装置において、

前記記録パルス発生手段は、前記マルチプレクサで選択された遅延クロックに基づき動作するフリップフロップ回路を備えていることを特徴とする記録パルス発生装置。

【発明の詳細な説明】

【0 0 0 1】

【発明が属する技術分野】

本発明は、C D - R / R W 及び D V D などによりデータを熱記録する際にレーザーのオン／オフ時間（データのランレングス）を補償するための時間分解能管理機能であるライトストラテジを実現させるために必要な分解能でオリジナルデータを制御可能な記録パルス発生装置に関するものである。

【0 0 0 2】**【従来の技術】**

C D - R / R W 及び D V D などにおけるデータの書き込みは、ディスク表面上へレーザーによる熱記録を行ない、色素の変化、結晶化或いは非結晶化（“0”または“1”）することで行うが、記録すべき所定長さのピットデータをそのまま L D D（Laser Diode Driver）に送っても目的どおりのピットデータが記録できるわけではない。そこで、熱記録時のレーザーのオン／オフの時間（データのランレングス）を管理してできる限り目標となるピットデータに近いピットデータを記録する補正機能としてライトストラテジ（Write Strategy、以下、W S という）が知られている。

【0 0 0 3】

本発明は W S を実現させるために必要な分解能でオリジナルデータを制御可能な記録パルス発生装置に関するものであるが、本発明を説明する前にディスク表面へのデータの書き込み方法について説明する。

ディスク表面上へのレーザによる熱記録は、レーザーオン／オフの時間とディスク表面の熱分布を考慮することによって、正確なデータのラングレンスを記録することができる。

ライトストラテジは、データのラングレンスの記録精度を高める為に、レーザーダイオードの発光量を補正する機能である。以下にその動作例を示す。

図 8 は、ディスク表面へ長さ 3 T のピット（P i t）データ（“1”）を書き込む場合の理想的な書き込む状態を示し、図 8（a）は記録すべきピットデータをまた図 8（b）は記録後のピットデータを示している。

理想的な状態では図 8 に示すように、3 T のピットデータに対して、ディスク表面には図 8（b）に示すような形状のピットデータが記録される。

【0004】

しかしながら、実際には、ディスク表面へ形成すべき長さ $3T$ のピットデータをそのまま LDD (Laser Diode Driver) に送るとその出力は立ち上がり及び立ち下がりが歪んだものとなる。

即ち、図 9 はこの場合におけるディスク上へのデータの書き込みを説明している。図 9 (a) は記録すべきピットデータ波形を示す。このピットデータはそのまま第 1 の入力信号として LDD に送る。図 9 (b) はその信号波形を示す。当然ながらピットデータと同じ同期した同じ波形である。図 9 (c) は LDD への第 2 の入力信号 (ここでは LOW の状態を維持している) を表す。図 9 (d) は前記第 1 及び第 2 の信号を元に実際に出力されるレーザーによって、ディスク表面の温度分布を示す。図 9 (e) は、ディスク表面に記録したピットデータを示している。図 8 (b) に示す理想的なピットデータと比べればその形状の崩れは明白である。このようにピットデータはデータ品質があまり良くないため、誤ったデータとして認識される可能性がある。

これは、LDD におけるレーザーダイオードの反応時間の遅れやディスク表面の熱伝達 (分布) の遅れ時間が影響しているためで、記録したいピットデータに合わせてそのままの長さの信号を LDD に送ると図 9 (e) のような形状のピットデータとなるためこれらを WS で補正することが必要となるのである。

【0005】

図 10 は WS で補正を行ってディスク表面へのピットデータの書き込みを行う方法について説明した図である。

この記録方法では、図 10 (a) に示すピットデータに対して、図 10 (b) に示すように、LDD への入力信号 1 の立ち上がり／下がりに関して、ディスク表面の熱反応時間を考慮して、ピットデータの上がり／下がりよりも早い時間へシフトしている。また、同時に信号 2 に関しては、図 10 (c) に示すように、LDD の立ち上がりを俊敏にして立ち上がり直後の記録面での熱伝達遅れをカバーする為に、オーバーライトのためのパルス信号波形を付加する補正を行う。

以上のように、ディスク表面へ長さ $3T$ のピットデータを書き込む為の補正信号を LDD に送ることで、図 10 (d) のような波形のレーザー出力が得られ、

これによってディスク表面には図 10 (e) に示すような改善されたピットデータが記録されるため、正しいピットデータとして認識される。

【0006】

図 11 は、EFMデータをEFMクロックで制御してCD-R及びCD-RWに書き込む場合の制御対象の波形を示した図である。

図 11 (a) はEFMクロックデータの波形である。同 (b) はEFMデータの波形であって、5 T (T: 周期) はHIGH、次の3 TはLOW、次の3 TはHIGHであるときの、レーザー出力の出力をCD-Rの場合は (c) に、また、CD-RWの場合は (d) に示している。いずれの場合もEFMクロック1周期 (1 T) 以下、具体的にはその16分の1以下の時間周期でライトの補正、或いはクーリングレベル、イレースレベル、又はライトレベルの補正がなされていることが分かる。

【0007】

このようにWSによる補正を施して正確な記録を行うためには、各記録速度の周期 $T/16$ 以下の分解能でオリジナル信号を制御することが必要である。

図 12 は、実際の記録速度に対応したEFMクロックとT (周期: $1/\text{EFMクロック}$)、 $T/16$ を示す数表である。この表から明らかなように、CD-R 48x記録のためには、図 12 の $T/16$ の値から0.3 ns、即ち、最小300 ps単位の時間制御が必要であることが分かる。

また、上記のような補正は、ディスクの種類、書き込みスピード (倍速)、LDDの種類などにより異なり、WSはそれぞれの特性に合わせて、随時時間の補正を行う必要がある。

【0008】

次に、先行技術文献として知られたものではないが、以上のような時間制御によりWS補正された記録パルスを得るための従来の記録パルス発生装置を図 13 を参照して説明する。

従来の記録パルス発生装置は、PLL発振回路1と、ディレーライン (遅延素子回路) 11、システムクロック (基準クロック) 発生回路12、そして図示しないコントローラ等、選択回路20等からなる。なお、ここでのシステムクロッ

ク発生回路 12 は、クリスタル発振器等で構成され、その発振周波数は外部環境の変化にほとんど影響されないものである。PLL 発振回路 1 は、システムクロック発生回路 12 からのシステムクロック CLK（以下クロック CLK）を受けてこれの周波数にロックされ発振する発振回路であって、ディレーライン 11 の各インバータ素子の動作遅延時間を設定する電源電圧信号を出力する回路である。この回路には、VCO 2 と、1/N 分周器であるカウンタ 3、位相比較回路 4、フィルタ（ローパスフィルタ）6、ボルテージフォロア 7、1/M 分周器であるカウンタ 8 が設けられている。

そして、ディレーライン 11 に加えられる前記の電圧信号は、VCO 2 に加えられる制御電圧 V_s が当てられる。

【0009】

ここで、VCO 2 は、インバータ 2a、2a、2a…を従属接続して出力を入力に帰還したリング発振器で構成され、ディレーライン 11 は、インバータ 2a と同時に同じ IC の中の回路として集積化された等価のインバータ 2b を複数段、インバータ 2b、2b、2b…として同様に従属接続して構成される。インバータ 2a、2b は、ここではそれぞれに加えられる電源電圧が制御電圧 V_s であって、電源電圧の値に応じて 1 個のインバータ動作の遅延時間が変化するので、これらに加えられる電源電圧が等しいときには 1 個当たりのインバータの動作遅延時間は等しいものになる。両者のインバータ 2a、2b の電源電圧となる制御電圧 V_s は、PLL 発振回路 1 において、システムクロック発生回路 12 のクロック CLK の周波数にあるいはこれに所定の係数値をかけた周波数に一致するように制御されている。すなわち、PLL 発振回路 1 において、VCO 2 の出力は、1/N 分周器であるカウンタ 3 により 1/N に分周されて位相比較回路 4 の一方に入力され、その他方に入力される 1/M 分周器であるカウンタ 8 を経て供給されたクロック CLK と位相比較される。

位相比較回路 4 の出力信号は、LPF 6 に加えられ、平滑化されてボルテージフォロア 7 に入力される。そこで、ボルテージフォロア 7 からは、VCO 2 の発振周波数をクロック CLK の周波数にロックあるいは所定の周波数比率で一致させるように制御する制御電圧 V_s が発生する。

【0010】

このように、遅延素子回路を構成する各インバータ 2 a, 2 b の動作電圧を決定する電力供給ラインをボルテージフォロア 7 の出力にして発振回路を駆動し、ボルテージフォロア 7 の入力側に周波数を制御する制御電圧信号をフィルタ (LPF) 6 を介して入力することにより、入力側の制御電圧と等しい電圧 V_s の電力供給を VCO 2 (リング発振器) に与えてその発振周波数をクロック CLK の周波数にロックすることができる。その結果、PLL 発振回路 1 の発振周波数は、システムクロック発生回路 12 の周波数にそれぞれのカウンタ 3, 8 の分周率 $1/N$, $1/M$ に対応する比率で一致するように制御され、ロックされる。

このときの制御電圧 V_s は、1 個のインバータ 2 a の動作の遅延時間がシステムクロック発生回路 12 の周波数に応じて決定され、一定値となる。このことは、同じ制御電圧 V_s を受けて動作するインバータ 2 b にも適用される。インバータ 2 b は、インバータ 2 a と同時に IC 中の回路として集積化された等価のディレイライン 11 の素子であるからである。そこで、ディレイライン 11 のその入力端子の入力信号 (EFMDATA-1T) に対する遅延時間は、インバータ 2 b の 1 個当たりの遅延時間 τ に対してその接続段数を P 個とすれば $\tau \times P$ により決定される。

図中 20 は選択回路であって、ディレイライン 11 の各インバータ 2 段毎に設けた 16 個のタップ 11 a から前記時間差を持ったクロックを得、そのクロックを選択手段 21 で選択されたクロックをレベルシフタ 22 を通して、図 14 (2) の一端側に入力し、EFMDATA-1T が OR 回路 23 の他端側に入力され、OR 回路 23 からは記録用パルスが出力される。

【0011】

以上の従来の記録パルス発生装置では、PLL の VCO 2 で生成された電圧をディレイライン 11 へ供給し、オリジナル端子から図 14 (2) の EFMDATA-1T をディレイラインへ入力し、遅延信号 $T'_0 \sim T'_{15}$ 発生用の各タップから各々バッファ 2 段分ずつ位相の違う信号を出力し、次に、オリジナル信号 EFMDATA-1T とディレイラインで得られたその遅延信号 $T'_0 \sim T'_{15}$ を用い、800 ~ 900 ps 時間の分解能で信号制御を行なっている。

【0012】

図14は、図13に示す従来の記録パルス発生装置における各パルスの波形を示した図である。

図14(1)はEFMデータの波形であり、同(2)はEFMデータから発生した1T分短いデータであるEFMDATA-1Tの波形を示す。このデータEFMDATA-1Tを図13におけるディレイライン11の入力段に加え、選択回路で所定の時間差(位相差)を持った遅延データを選択回路出力として得たものが同(3)に示すパルス波形である。そして同(4)はOR回路23によりその両者の論理和を取ることで得られた記録パルスの波形である。

【0013】

以上説明したように、この従来の記録パルス発生装置では、時間制御をしたいオリジナル信号をディレイライン11へ入力し、その遅延信号とオリジナル信号を用い、信号を変化させていたため、1つのディレイライン11で複数の信号処理を行うことができない。即ち、ディレイライン11の入力はクロック1周期分短いEFMDATA-1Tのパルスであるため、原理的に複数個の記録パルスを発生することができない。例えば、ある記録パルスで T'_1 を選択したときには、同じ記録サイクルで他の記録パルス T'_2 を選択することができない、つまり一つの信号制御につき一つのディレイラインが必要であるから、複数の信号を制御するためには、制御信号の数だけのディレイラインを持たねばならず、チップサイズが増大してしまうという問題がある。

また、複雑な信号制御ができず、更に選択回路20を切り換えるタイミングを与えるクロック周期以下の記録パルスは発生はできないという問題もある。

【0014】

なお、本発明について公知発明に係る先行技術文献は見い出せない。

【0015】**【発明が解決しようとする課題】**

本発明は以上の問題を解決すべくなされたものであって、その目的は、EFM CLK (Eight to Fourteen Modulation Clock) をディレイラインへ入力してそれを1/16に細分化したクロックを生成し、マルチプレクサ及びフリップフロ

ップ等から成る信号発生回路により自由にEFMデータのランレングスを変化（制御）できるようにすることであり、記録パルス発生回路を増やすだけで、一つの遅延素子回路（ディレイライン）でつまり、遅延素子回路を共通にして複数の信号処理が行なえるようにすることである。

【0016】

【課題を解決するための手段】

請求項1の発明は、複数の回路素子を多段に従属接続して構成した第1の遅延素子回路と、該遅延素子回路の前記複数の回路素子の段数に応じて初段に入力するクロックとそれぞれ異なる位相差を持った複数のファインクロックを生成する手段と、生成した複数のファインクロックから任意のファインクロックを選択する手段と、選択されたファインクロックに基づき記録パルスを発生する記録パルス発生手段と、を備えたことを特徴とする記録パルス発生装置である。

請求項2の発明は、請求項1に記載された記録パルス発生装置において、複数の回路素子を多段従属接続した発振回路を有しかつ前記初段のクロックと位相比較してこの位相比較結果に応じて電力供給ラインの電圧を制御するPLLループ発振回路を備え、前記第1の遅延素子回路は前記発振回路と共通の電力供給ラインに接続されており、かつ、前記第1の遅延素子回路の回路素子は前記第2の回路素子と等価であることを特徴とする記録パルス発生装置である。

請求項3の発明は、請求項1又は2に記載された記録パルス発生装置において、

前記第1の遅延素子回路の初段に入力するクロックは記録速度に応じて変化するEFMクロックであることを特徴とする記録パルス発生装置である。

請求項4の発明は、請求項1ないし3のいずれかに記載された記録パルス発生装置において、前記クロック選択手段は前記ファインクロックと同位相でシフトする選択信号で制御されるマルチプレクサであることを特徴とする記録パルス発生装置である。

請求項5の発明は、請求項1ないし4のいずれかに記載された記録パルス発生装置において、前記記録パルス発生手段は、前記マルチプレクサで選択された遅延クロックに基づき動作するフリップフロップ回路を備えていることを特徴とす

る記録パルス発生装置である。

【0017】

【発明の実施の形態】

本発明の1実施形態を添付図面について説明する。

図1は、本発明の1実施形態に係る記録パルス発生装置を示す。

この装置は、CD-R/RW及びDVDの記録時に必要とされる、微細な分解能で、しかも記録パルス長に応じてリアルタイムに記録パルス幅を変化させるライトストラテジを実現するため、EFMCLK（EFMクロック）の周波数に対応して、リアルタイムでEFMCLKの1/16時間で分解能制御を行う。

図中、従来の記録パルス発生装置と同一の部分には同一の番号を付し、かつ同様の部分は既に従来装置として説明したとおりであるのでここでの説明は省略する。

この実施形態の記録パルス発生装置は、従来のそれがディレーライン11から選択したクロックとEFMデータ1Tとの論理和をとり記録用パルスを得ていたのに対し、EFMKLCをディレーライン11で遅延させる、つまり、既に説明したインバータ2bからなるリングオシレーター方式のVCO（リング発振器）を利用して、EFMKLCの遅延信号（ファインクロック）を発生させて、この信号で記録パルス発生装置25を制御して、記録パルスを発生させている。

具体的には、PLL1のVCO2の制御電圧を遅延素子回路VCO2と同等のインバータ列からなるディレーライン11に供給し、インバータ2段毎に設けた16個のタップ2bから所定の時間差を持ったファインクロックT₀～T₁₅を得る。

既に述べたように、これらのクロック間の時間差はVCOの発振周波数に依存し、VCOの発振周波数に合わせ図中のカウンタからなる分周器3, 8を設定することにより、EFMCLKの1/16の所望するファインクロックT₀～T₁₅を得ることができる。

【0018】

ファインクロックT₀～T₁₅を図1に示す記録パルス発生装置25のマルチプレクサ（MUX）25aで選択し、後段のフリップフロップ25bへ供給する

ことにより、EFCLKの $1/16$ の時間分解能で信号制御が可能となる。

尚、図1から明らかなように、複数の信号を制御する場合には単に記録パルス発生装置25を増やすだけで、それぞれ異なる遅延パルスを発生させることができる。つまり、マルチプレクサ(MUX)25aを前記ファインクロックと同位相でシフトする選択信号で制御することにより、ファインクロック $T_0 \sim T_{15}$ の1つを選択し、選択した任意のファインクロックをフリップフロップ25bのクロックに供給することにより、微細な分解能でプログラムできる記録パルスを発生することができる。

尚、記録パルスは1個に限らず各記録パルス発生装置25において、記録パルス1, 2, 3...の様に複数個発生可能で、各々独立にパルス幅の設定ができる。

【0019】

図2は、図1の記録パルス発生装置のディレーライン11の出力をレベルシフタ(LVS)回路22を通して得たファインクロック(Fine Clock) $T_0 \sim T_{15}$ の1例である。

この例で示す様に、ディレーライン11は、EFMクロックを $T/16$ ずつシフトした16個のファインクロック $T_0 \sim T_{15}$ を出力する。

次に、適切なタイミングでMUX25aに前記選択信号を与えることで、この16個のファインクロックから特定のファインクロックを選択し、そのファインクロックでFF(フリップフロップ回路)25bを動作することが出来る。

尚、MUXの16チャンネルの入力から出力までの遅延時間は、各チャンネルで実用上等しくしている。

【0020】

図3はFF(フリップ・フロップ回路)25bのクロック入力を示す。

このクロック入力は、MUX(16チャンネルマルチプレクサ)25aの選択信号(Select信号)をファインクロック T_0 で切り換えた時、MUXに接続されたFFのクロック入力に変化する様子を示している。例えばファインクロック T_0 で切り換えた時、選択信号を4~15に設定した場合、立ち上がりが $T/16$ ずつシフトした図示のような入力ファインクロック $T_4 \sim T_{15}$ が得られる例に

示している。

【0021】

図4は、実際の記録パルス発生装置(1)、(2)のブロック図である。ここでは、3台のMUX1～MUX3に各々ファインクロックT₀～T₁₅が入力され、対応するFF1～FF3では、ファインクロックT₀～T₁₅を独立に選択出来るようになっている。

例えば、最上段のFF1に於いて、MUX1にクロック選択信号A I R O-3 (A P C 1 Leading CLK Selct信号: 第1の記録パルス出力用立ち上がりクロック選択信号)を与えファインクロックT₀～T₁₅から任意のクロックを選択し、適切なタイミングでデータ信号D A 1 (A P C 1 Leading Data: 第1の記録パルス出力用立ち上がりデータ信号)及び許可信号E R A 1 (A P C 1 Leading Enable 信号: 第1の記録パルス用立ち上がり許可信号)を与えることでFF1は選択されたファインクロック(T₀～T₁₅)のタイミングで動作して、第1の記録パルス出力(A P C 1)を発生する。

他のFF2、3も同様な原理で動作させることが出来るので、複数チャンネルの記録パルス全てに、ファインクロックの分解能を与え、それぞれ記録パルスを発生することが出来る。

尚、ファインクロック(T₀～T₁₅)以外の信号は図示しないデジタル制御回路から入来するよう構成されている。

【0022】

図5は、図4の記録パルス発生装置の動作例を示したタイミングチャートであり、ファインクロックT₀～T₁₅は本来16クロックの信号であるが、図中ではそれらを1つのT₀クロックで代表させている。

図中、A I R O-3は上述のようにMUX25aの第1の記録パルス出力(A C P 1)のための選択信号つまり第1の記録パルス出力(A C P 1)のための立ち上がりクロック選択(Leading CLK Select)信号、E R A 1は第1の記録パルス出力(A C P 1)のための許可(Enable)信号(L O Wがアクティブ)、D A 1は第1の記録パルス出力(A C P 1)のための立ち上がりデータ(Leading data)、A I T O-3は第1の記録パルス出力(A C P 1)の立ち下がりクロック

選択 (Trailing CLK Select) 信号、E T A 1 は第 1 の記録パルス出力 (A C P 1) のための立ち上がり許可 (Trailing Enable) 信号 (L O W がアクティブ)、A 2 0 - 3 は第 2 の記録パルス出力 (A C P 2) のクロック選択 (CLK Select) 信号、E A 2 は第 2 の記録パルス出力 (A C P 2) の許可 (Enable) 信号 (L O W がアクティブ)、D A 2 は第 2 の記録パルス出力 (A C P 2) のデータである。

なお、図 6 は以上で説明した各信号を表にまとめたものである。

【 0 0 2 3 】

本実施形態の記録パルス発生装置は、図 5 に示すようにファインクロック (T₀ ~ T₁₅) で第 1 の記録パルス出力 (A C P 1) 用の立ち上がりクロック選択 (Leading CLK Select) 信号に基づき、立ち上がり許可 (Trailing Enable) 信号 E R A 1 がアクティブ (L O W) となるタイミングで第 1 の記録パルス出力 (A C P 1) を立ち上げる。そして、第 1 の記録パルス出力 (A C P 1) の立ち下がりクロック選択 (Trailing CLK Select) 信号 (A I T 0 - 3) に基づき、第 1 の記録パルス出力 (A C P 1) のための立ち下がり許可 (Trailing Enable) 信号 E T A 1 が L O W (アクティブ) になるタイミングで前記第 1 の記録パルス出力を立ち下げる。

また、第 2 の記録パルス出力 (A C P 2) のクロック選択 (CLK Select) 信号 A 2 0 - 3 に基づき、第 2 の記録パルス出力 (A C P 2) の許可 (Enable) 信号 E A 2 が L O W (アクティブ) になるタイミングで前記第 2 の記録パルス出力 (A P C 2) を立ち上げ、次に第 2 の記録パルス出力 (A C P 2) の許可 (Enable) 信号 E A 2 が再び L O W (アクティブ) になるタイミングで前記第 2 の記録パルス出力 (A P C 2) を立ち下げる。

以上のように、ファインクロック T₀ ~ T₁₆ でオリジナルデータを補正することにより、つまり W S 機能で補正された記録パルスを発生することができる。

【 0 0 2 4 】

図 7 は、ファインクロック T₀ ~ T₁₅ のシミュレーション波形例を参考までに示したものである。この波形はレイアウト後のネットワークを使用しているので I C 内部で観測できる波形と同じである。

以上の構成において、ファインクロックの分解能は、ディレーラインを構成するゲートの動作スピード限界まで高めることができる。また、ファインクロックのエッジとフリップフロップを組み合わせることで複雑な出力波形を発生させることができる。

【0 0 2 5】

【発明の効果】

本発明によれば、ファインクロック ($T_0 \sim T_{15}$) の分解能を所定の範囲（例えば、 $1.8 \text{ ns} \sim 300 \text{ ps}$ の範囲）で任意に設定することができ、かつその分解能を例えば、ディレーラインを構成するインバータの段数を増やすことで容易に上げることができるため、狭パルス（例えば、 $3 \text{ ns} \sim 4 \text{ ns}$ の狭パルス）を発生できるため、発振器としては高周波帯（ギガヘルツ帯）の発振器を用いる必要がない。或いはライトパルストレイン発生が容易である。

更に、複数チャンネルの記録パルスを容易に発生することができただけでなく、ディスクにピットデータの記録を行う場合、その記録密度がディスク上で常に一定となるように、ディスクの径がに従って自動的にEFMクロック周波数が変化するが、その際にも、ファインクロックはEFMクロックの変化に応じて自動的に追従するから、つねに正しい記録を行うことができる。

【図面の簡単な説明】

【図 1】 本発明の 1 実施形態に係る記録パルス発生装置を示す。

【図 2】 図 1 に示す記録パルス発生装置の遅延素子回路で得たクロックの 1 例を示す。

【図 3】 図 2 クロックを変化させてFFに入力クロックの 1 例を示す。

【図 4】 記録パルス発生装置の 1 実施例を示すブロック図である。

【図 5】 図 4 の記録パルス発生装置の動作例を示したタイムチャートである。

【図 6】 図 5 に示すタイムチャート中の信号の内容の説明図である。

【図 7】 ファインクロックのシュミレーション波形例を示す。

【図 8】 ディスク表面へピットデータを書き込む場合の理想的な書き込み例を模式的に示す図である。

【図 9】 ディスク表面へビットデータを書き込む場合の実際の書き込み例を模式的に示す図である。

【図 10】 ライトストレージで補正を行ってディスク表面へビットデータを書き込む方法を模式的に説明した図である。

【図 11】 EFMデータを記録する場合においてWSを行った場合の実際の書き込み例を説明した図である。

【図 12】 記録速度とEFMCLK（クロック）と周知T及び $T/16$ の関係を示した数表である。

【図 13】 従来の記録パルス発生装置を示すブロック図である。

【図 14】 図 13 に示す従来の記録パルス発生装置における各パルスの波形を示した図である。

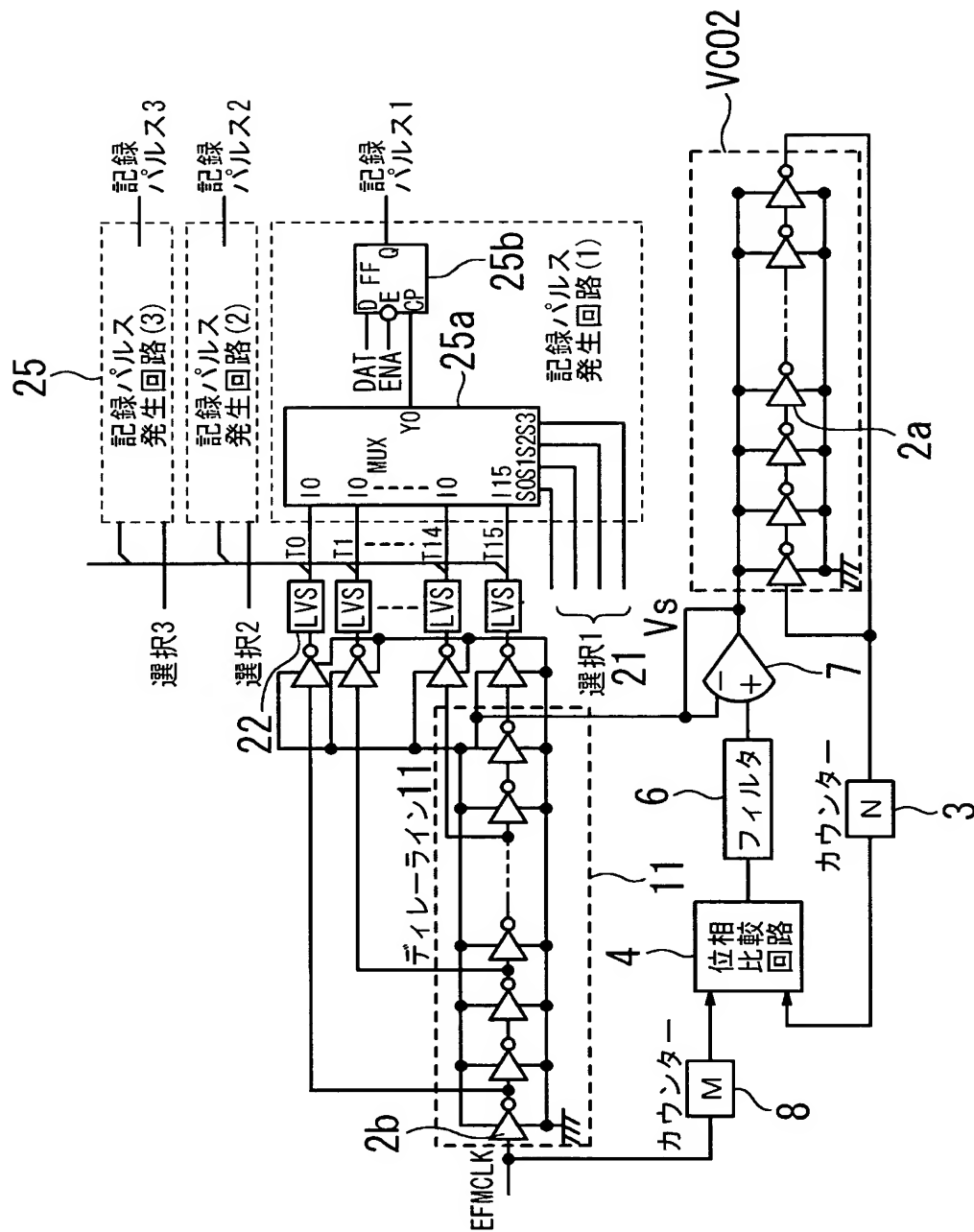
【符号の説明】

1…PLL発振回路、2…VCO、2a、2b…インバータ、3…カウンタ、4…位相比較回路、6…フィルタ（ローパスフィルタ）、7…ボルテージフォロア、8…カウンタ、12…システムクロック発生回路、20…選択回路、22…レベルシフタ、25…記録パルス発生装置、25a…マルチプレクサ、25b…FF（フリップフロップ回路）

【書類名】

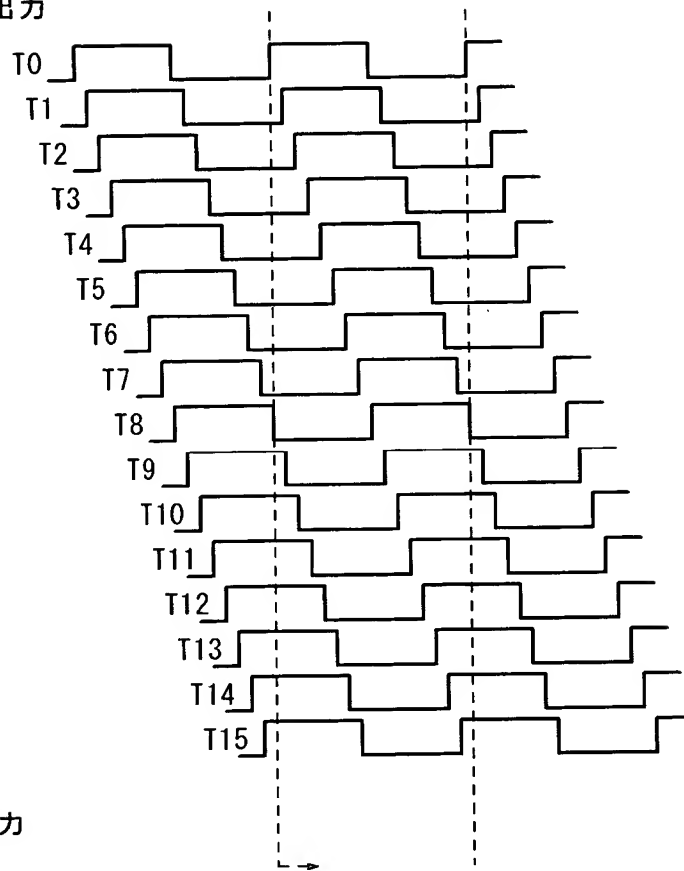
図面

【図 1】



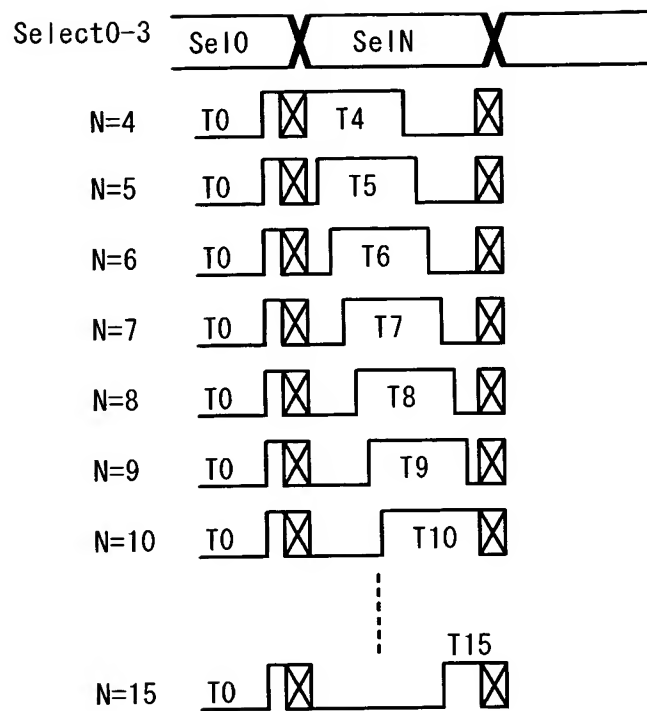
【図 2】

ディレーライン出力

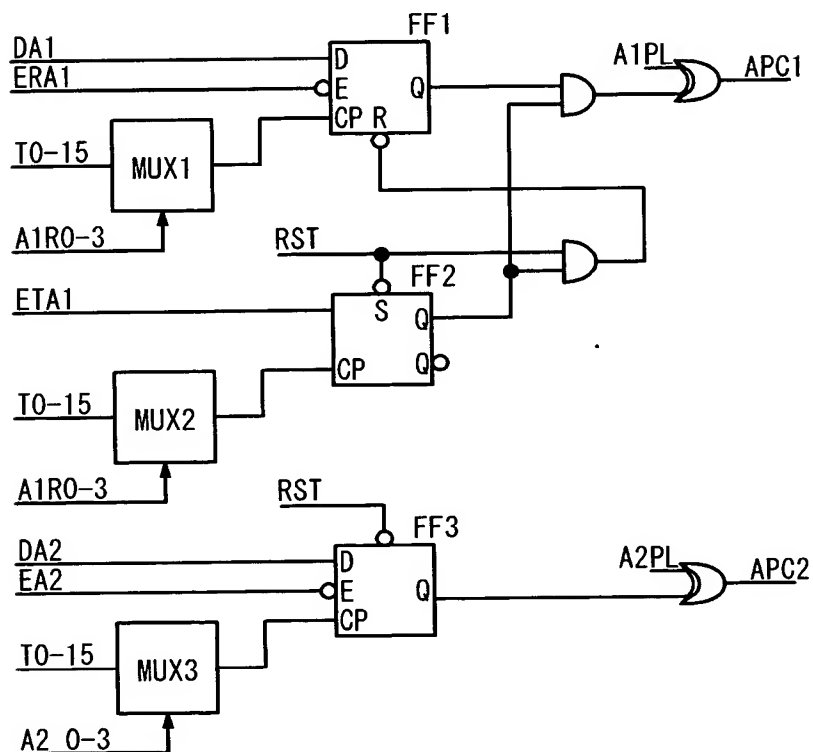


FFクロック入力

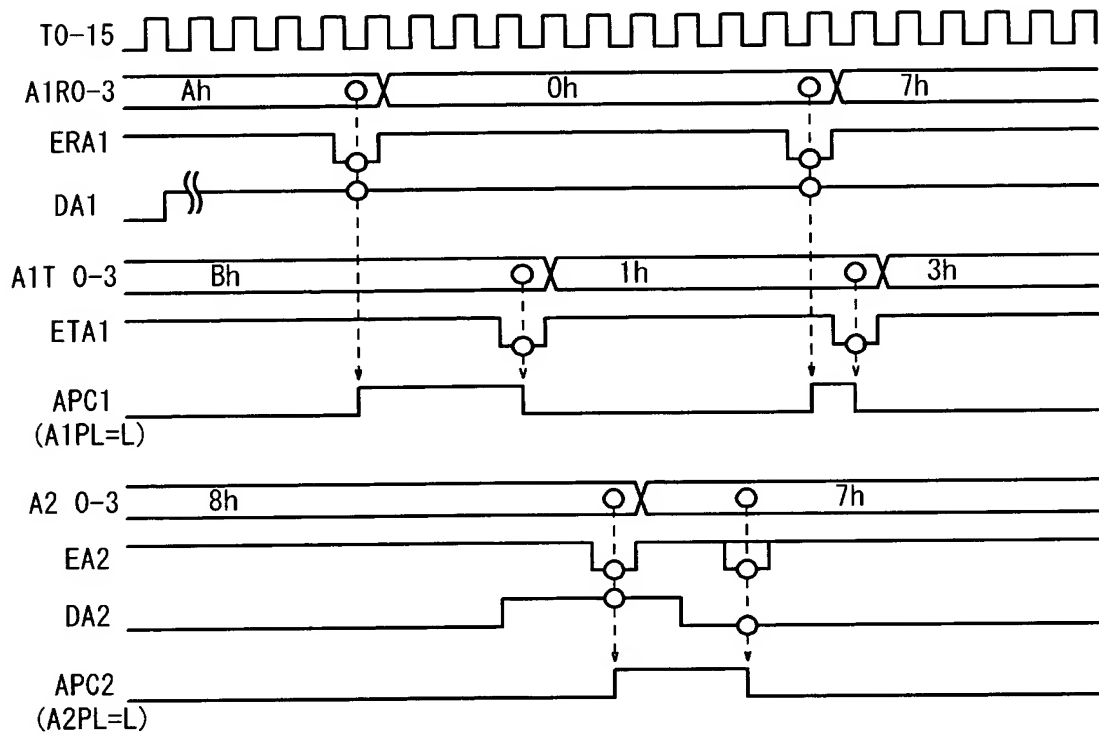
【図 3】



【図 4】



【図 5】

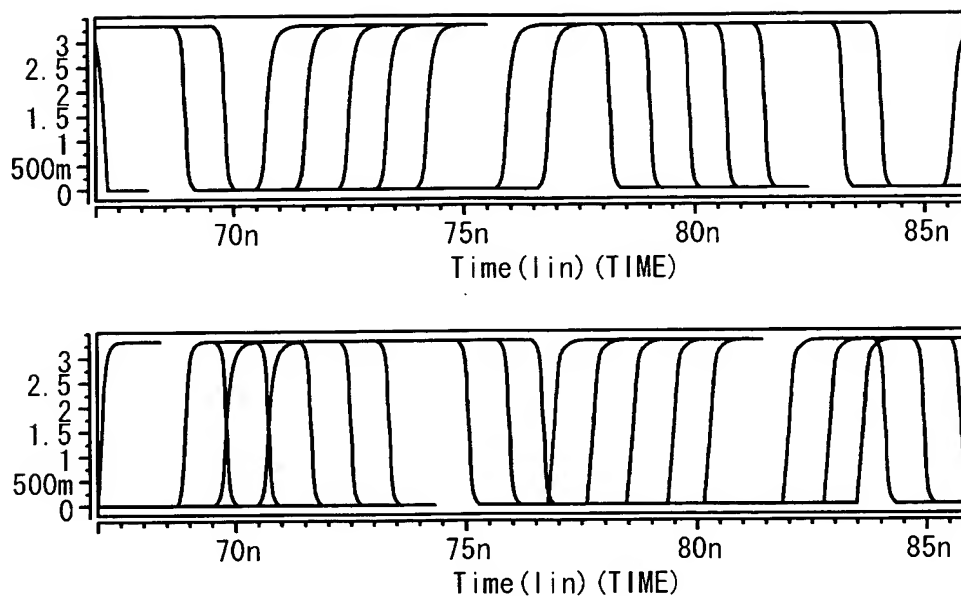


【図 6】

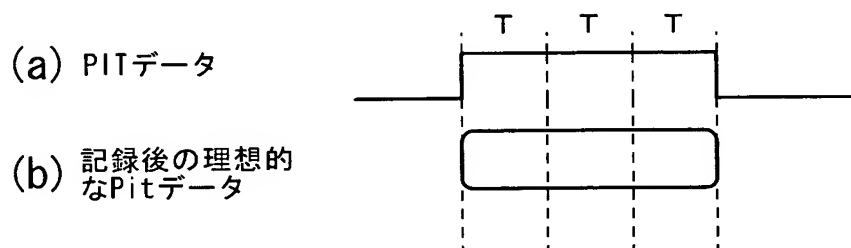
信号	内容	Active
RST	リセット	L
T0-15	Fine Clock入力	
DA1	APC1 Leading data	
ERA1	APC1 Leading Enable	L
A1R0-3	APC1 Leading Clk Select	
ETA1	APC1 Training Enable	L
A1T0-3	APC1 Training Clk Select	
DA2	APC2 data	
EA2	APC2 Enable	L
A2 0-3	APC2 Clk Select	

信号	内容	Active
RST	リセット	L
T0-15	Fine Clock入力	
DA1	APC1 Leading data	
ERA1	APC1 Leading Enable	L
A1R0-3	APC1 Leading Clk Select	
ETA1	APC1 Training Enable	L
A1T0-3	APC1 Training Clk Select	
DA2	APC2 data	
EA2	APC2 Enable	L
A2 0-3	APC2 Clk Select	

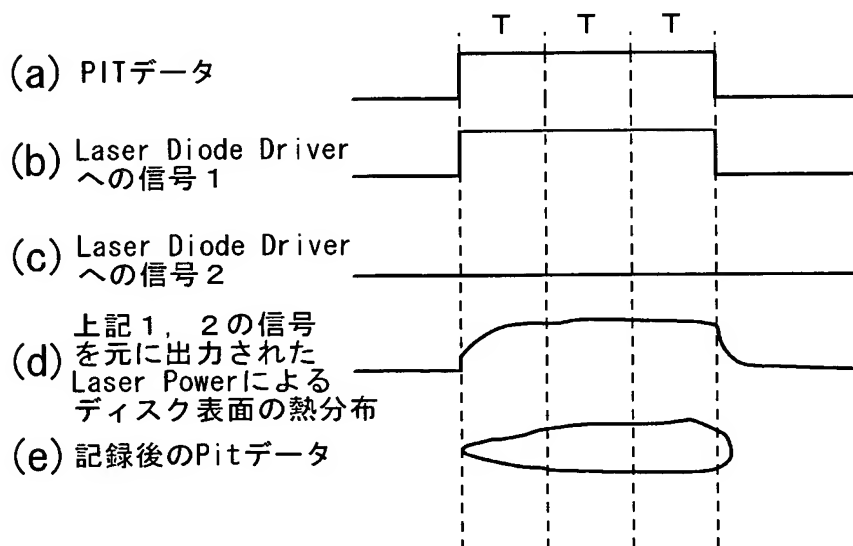
【図 7】



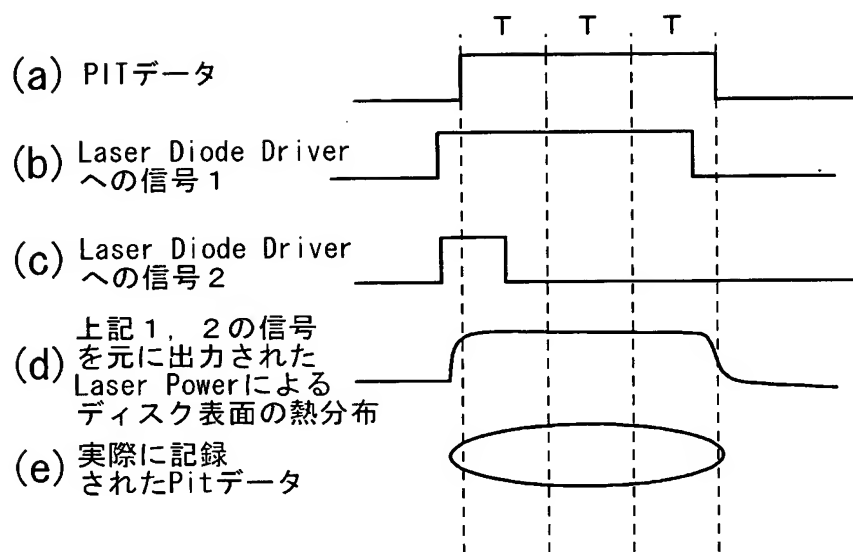
【図 8】



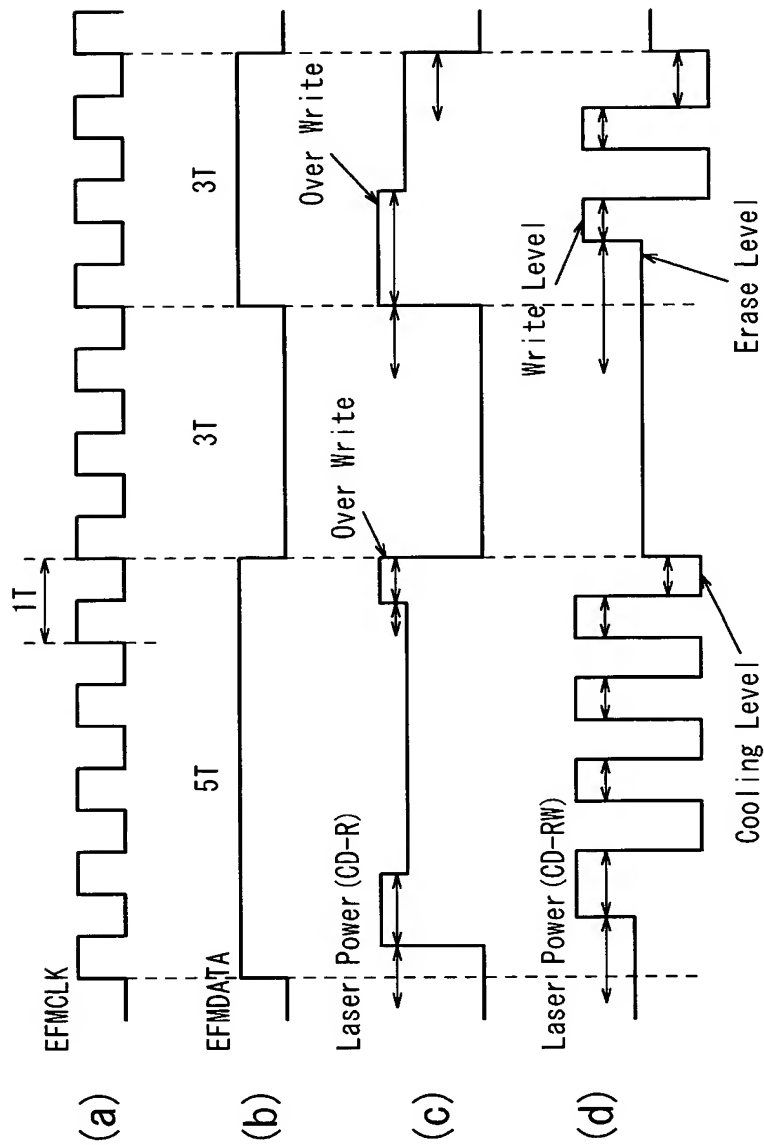
【図 9】



【図 10】



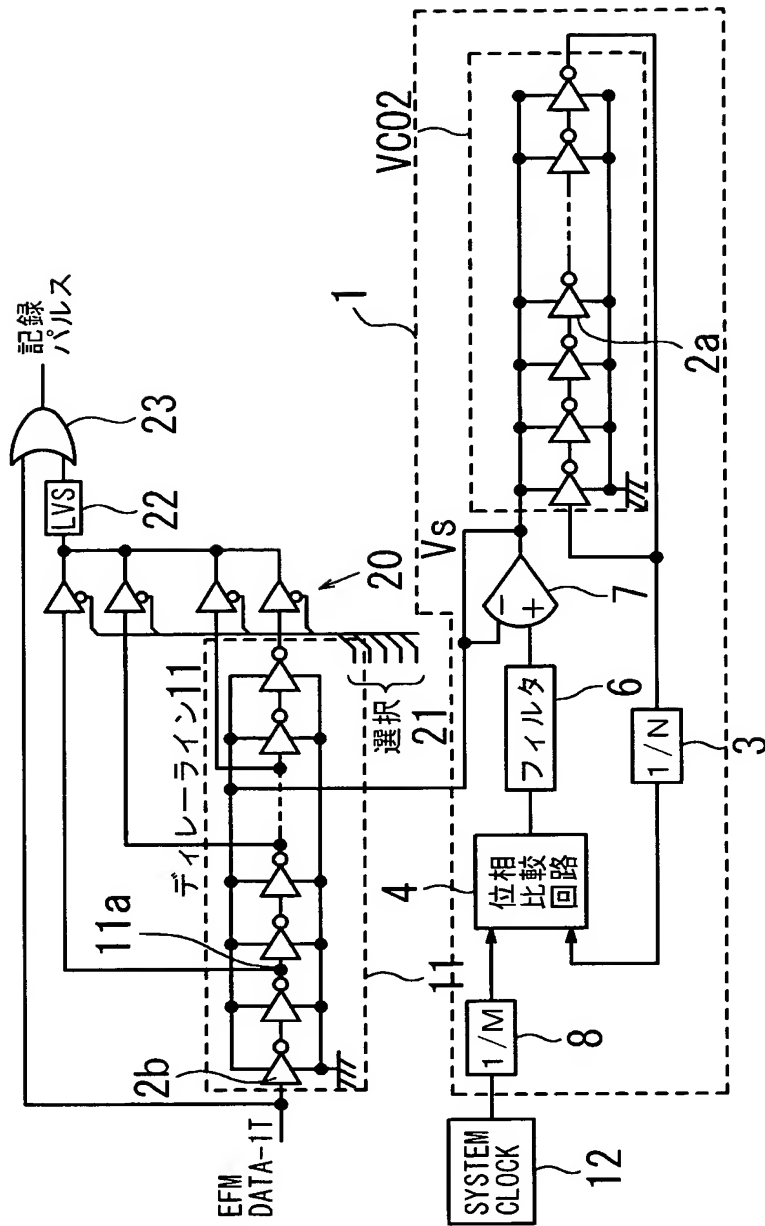
【図 11】



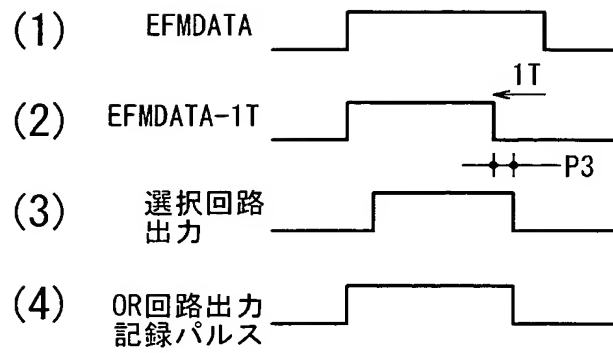
【図 1 2】

記録速度	EFMCLK [MHz]	T(周期) [ns]	T/16 [ns]
1	4. 32	231. 38	14. 46
2	8. 64	115. 69	7. 23
4	17. 28	57. 85	3. 62
8	34. 57	28. 92	1. 81
16	69. 14	14. 46	0. 90
32	138. 29	7. 23	0. 45
36	155. 58	6. 42	0. 40
40	172. 87	5. 78	0. 36
48	207. 44	4. 82	0. 30

【図 13】



【図 1 4】



【書類名】 要約書

【要約】

【課題】 ディスク表面にビットデータを書き込む際の記録信号制御のためのクロック記録パルス発生装置において、一つの遅延素子回路で複数の信号処理を行う。

【解決手段】 第 2 の遅延素子回路を有する P L L 発振回路と共通の電力需給ラインに接続され、前記第 2 の遅延素子回路と等価な複数の回路素子を多段に従属接続して構成した第 1 の遅延素子回路と、該遅延素子回路の前記複数の回路素子の段数に応じて初段に入力するクロックとそれぞれ異なる位相差を持った複数のクロックを生成する手段と、生成した複数のクロックから任意のクロックを選択する手段と、選択されたクロックに基づきパルス幅を制御したパルスを発生するための記録パルス発生手段とを備えた。

【選択図】 図 1

特願 2 0 0 2 - 3 2 0 4 7 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 1 6 0 2 4]

1. 変更年月日
[変更理由]
住 所
氏 名

1 9 9 0 年 8 月 2 2 日
新規登録
京都府京都市右京区西院溝崎町 2 1 番地
ローム株式会社